

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-049348

(43)Date of publication of application : 18.02.2000

(51)Int.Cl.

H01L 29/78  
H01L 21/336

(21)Application number : 11-149750

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 28.05.1999

(72)Inventor : MIYANO KIYOTAKA  
MIZUSHIMA ICHIRO  
TSUNASHIMA YOSHITAKA  
SAITO TOMOHIRO

(30)Priority

Priority number : 10150211

Priority date : 29.05.1998

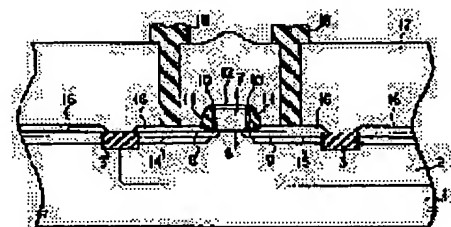
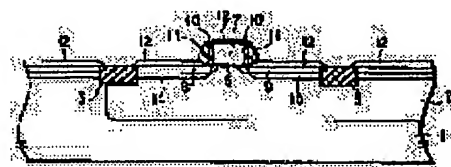
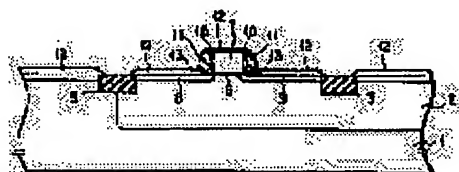
Priority country : JP

## (54) SEMICONDUCTOR DEVICE WITH ELEVATED SOURCE DRAIN STRUCTURE AND ITS MANUFACTURE

(57)Abstract:

**PROBLEM TO BE SOLVED:** To suppress the generation of a short-channel effect and a junction leakage current by forming a gap between the bottom surface of a gate-side insulation film and a silicon substrate by etching a liner and a gate oxide film in a crosswise direction.

**SOLUTION:** For example, an SiO<sub>2</sub> liner 10 and a gate sidewall SiN film 11 are used, and further the SiO<sub>2</sub> liner 10 on the bottom surface of the gate sidewall SiN film 11 is etched in a crosswise direction by a specific amount, thus forming a gap with specific dimensions between the bottom surface of the gate sidewall SiN film 11 and the silicon substrate 1. After that, by allowing silicon to be subjected to epitaxial growth, a facetless epitaxial silicon film 12 can be formed at a part in contact with the gate sidewall SiN film 11. Therefore, by injecting an impurity ion onto a substrate surface via the facetless epitaxial silicon film 12 and forming a source diffused layer 14 and a drain diffused layer 15, the generation of a short-channel effect and a junction leakage current can be suppressed.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号  
特開2000-49348  
(P2000-49348A)

(43) 公開日 平成12年2月18日 (2000.2.18)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	テーマコード <sup>*</sup> (参考)
H 0 1 L 29/78		H 0 1 L 29/78	3 0 1 L
21/336			3 0 1 S

審査請求 未請求 請求項の数14 O L (全 17 頁)

(21) 出願番号	特願平11-149750	(71) 出願人	000003078 株式会社東芝 神奈川県川崎市幸区堀川町72番地
(22) 出願日	平成11年5月28日 (1999.5.28)	(72) 発明者	宮野 清孝 神奈川県横浜市磯子区新杉田町8番地 株 式会社東芝横浜事業所内
(31) 優先権主張番号	特願平10-150211	(72) 発明者	水島 一郎 神奈川県横浜市磯子区新杉田町8番地 株 式会社東芝横浜事業所内
(32) 優先日	平成10年5月29日 (1998.5.29)	(74) 代理人	100058479 弁理士 鈴江 武彦 (外6名)
(33) 優先権主張国	日本 (J P)		

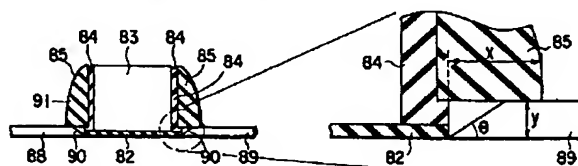
最終頁に続く

(54) 【発明の名称】 エレベータッドソース・ドレイン構造を有する半導体装置及びその製造方法

(57) 【要約】

【課題】 短チャネル効果及び接合リーク電流の発生を抑制できるエレベータッドソース・ドレイン構造を有する半導体装置を提供する。

【解決手段】 エレベータッドソース・ドレイン構造を有するMOSトランジスタが形成される半導体装置は、前記MOSトランジスタのゲート電極の側壁に形成され、かつその底面が前記シリコン基板表面から離れて第1のゲート側壁絶縁膜が形成される。この第1のゲート側壁絶縁膜と前記ゲート電極との間および前記第1のゲート側壁絶縁膜の底面に第2のゲート側壁絶縁膜が形成される。この底面に形成された部分が前記第1のゲート側壁絶縁膜の底面の内、前記ゲート電極寄りの内側底面部分に存在する。エレベータッドソース膜及びエレベータッドドレイン膜は、前記第1のゲート側壁絶縁膜と接した箇所において、ファセットが無い。



## 【特許請求の範囲】

## 【請求項 1】シリコン基板と、

前記シリコン基板表面に絶縁膜を介して設けられたゲート電極と、

前記シリコン基板表面のソース領域およびドレイン領域上に、少なくともそれらの表面部分が前記シリコン基板表面から迫り上げられたエレベーターソース膜及びエレベータードレイン膜とが形成されることによって、前記ソース領域およびドレイン領域の表面が前記シリコン基板表面よりも迫り上げられた構造を持つ半導体装置であって、

前記ゲート電極の側壁に形成され、かつその底面が前記シリコン基板表面から離れて形成された第 1 のゲート側壁絶縁膜と、

この第 1 のゲート側壁絶縁膜と前記ゲート電極との間および前記第 1 のゲート側壁絶縁膜の底面に形成され、前記第 1 のゲート側壁絶縁膜の材料と異なる材料からなり、この底面に形成された部分が前記第 1 のゲート側壁絶縁膜の底面の内、前記ゲート電極寄りの内側底面部分に存在する第 2 のゲート側壁絶縁膜とより成ることを特徴とする、エレベーターソース・ドレイン構造を有する半導体装置。

【請求項 2】前記シリコン基板と前記第 2 のゲート側壁絶縁膜が存在しない部分の前記第 1 のゲート側壁絶縁膜の底面との間には空隙が存在することを特徴とする請求項 1 記載のエレベーターソース・ドレイン構造を有する半導体装置。

【請求項 3】前記空隙には、前記エレベーターソース膜及びエレベータードレイン膜のファセットが存在し、かつこのファセットと前記シリコン基板とのなす角度を  $\theta$ 、前記シリコン基板と前記第 1 のゲート側壁絶縁膜の底面との間の距離を  $y$ 、前記第 2 のゲート側壁絶縁膜が存在しない部分の前記第 1 のゲート側壁絶縁膜の底面のチャンネル長方向の寸法を  $x$  とした場合に、 $y/x < \tan \theta$  の条件を満たすことを特徴とする請求項 2 記載のエレベーターソース・ドレイン構造を有する半導体装置。

【請求項 4】前記シリコン基板の主面は  $\{100\}$ 、前記ゲート電極の長手方向は前記シリコン基板の  $\langle 110 \rangle$  方向であり、かつ前記シリコン基板と前記第 2 のゲート側壁絶縁膜が存在しない部分の前記第 1 のゲート側壁絶縁膜の底面との間には空隙が存在し、且つこの空隙には前記エレベーターソース膜及びエレベータードレイン膜のファセットが存在し、これらファセットと前記シリコン基板とのなす角度がそれぞれ  $25.23^\circ$ 、かつ前記シリコン基板と前記第 1 のゲート側壁絶縁膜の底面との間の距離を  $y$ 、前記第 2 のゲート側壁絶縁膜が存在しない部分の前記第 1 のゲート側壁絶縁膜の底面のチャンネル長方向の寸法を  $x$  とした場合に、 $y/x < \tan(25.23^\circ)$  の条件を満たすことを特徴とする請求

項 1 記載のエレベーターソース・ドレイン構造を有する半導体装置。

## 【請求項 5】シリコン基板と、

前記シリコン基板表面に絶縁膜を介して設けられるゲート電極と、

前記シリコン基板表面のソース領域およびドレイン領域上に、少なくともそれらの表面部分が前記シリコン基板表面から迫り上げられたエレベーターソース膜及びエレベータードレイン膜とが形成されることによって、前記ソース領域およびドレイン領域の表面が前記シリコン基板表面よりも迫り上げられた構造を持つ半導体装置であって、

前記ゲート電極の側壁に形成され、且つ底面が前記シリコン基板表面から離れて形成され、且つ窒素を含むシリコン化合物からなる第 1 のゲート側壁絶縁膜と、

この第 1 のゲート側壁絶縁膜と前記ゲート電極との間および前記第 1 のゲート側壁絶縁膜の底面に形成され、且つ前記シリコン化合物と異なる第 2 のゲート側壁絶縁膜と、を有することを特徴とする エレベーターソース・ドレイン構造を有する半導体装置。

【請求項 6】シリコン基板上にゲート絶縁膜を介してゲート電極を形成する工程と、

前記ゲート絶縁膜および前記ゲート電極を覆うように、全面に第 1 の絶縁膜を形成する工程と、

前記第 1 の絶縁膜上に該第 1 の絶縁膜と異なる材料よりなる第 2 の絶縁膜を形成する工程と、

前記第 1 の絶縁膜を前記シリコン基板に対してのエッチングストップに用いて前記第 2 の絶縁膜の表面をエッチングすることによって、前記ゲート電極の側壁に前記第 1 の絶縁膜を介して前記第 2 の絶縁膜を選択的に残置させる工程と、

前記第 2 の絶縁膜で覆われていない領域の前記第 1 の絶縁膜をエッチングすることによって除去するとともに、前記第 1 の絶縁膜を前記第 2 の絶縁膜と前記シリコン基板との間に選択的に残置させる工程と、

前記第 1 および第 2 の絶縁膜周囲の前記シリコン基板の表面を露出させた状態でシリコンのエピタキシャル成長を行って、前記第 1 および第 2 の絶縁膜周囲の前記シリコン基板上に、前記第 2 の絶縁膜と接する箇所にファセットのないシリコン膜を形成する工程と、

前記シリコン膜を介して前記シリコン基板の表面に不純物イオンを注入した後にアニールを行うことによって、前記シリコン基板の表面にソース拡散層およびドレイン拡散層を形成する工程と、

前記シリコン膜の少なくとも表面部分を金属シリサイド膜に変える工程と；より成るエレベーターソース・ドレイン構造を有する半導体装置の製造方法。

## 【請求項 7】シリコン基板と、

前記シリコン基板表面に形成されるゲート電極と、

前記シリコン基板表面のソース領域およびドレイン領域

上に、少なくともそれらの表面部分が前記シリコン基板表面から迫り上げられたエレベータッドソース膜及びエレベータッドドレイン膜が形成され、前記ソース領域およびドレイン領域の表面が前記シリコン基板表面よりも迫り上げられた構造を持つ半導体装置であって、前記ゲート電極の側壁に形成された第1のゲート側壁絶縁膜と、

この第1のゲート側壁絶縁膜と前記ゲート電極との間および前記第1のゲート側壁絶縁膜の底面に形成され、前記第1のゲート側壁絶縁膜の材料と異なる材料からなり、前記シリコン基板の表面と前記第1のゲート側壁絶縁膜の底面との間に形成され、前記ゲート電極寄りの内側底面部分に存在する第2のゲート側壁絶縁膜とを有することを特徴とする エレベータッドソース・ドレイン構造を有する半導体装置。

【請求項8】シリコン基板と；前記シリコン基板表面に絶縁膜を介して設けられるゲート電極と；前記シリコン基板表面のソース領域およびドレイン領域上に、前記シリコン基板表面から迫り上げられたエレベータッドソース膜及びエレベータッドドレイン膜が形成されることによって、前記ソース領域およびドレイン領域の表面が前記シリコン基板表面よりも迫り上げられた構造を持つMOSトランジスタが形成される半導体装置であって、前記ゲート電極の側壁に形成され、かつその底面が部分的に前記シリコン基板表面から離れて形成されたゲート側壁絶縁膜と、  
前記ゲート側壁絶縁膜の底面と前記シリコン基板表面との間に部分的に形成されたライナー層と、  
前記ゲート電極の底面と前記シリコン基板の表面との間及び前記ゲート側壁絶縁膜の内面に形成されるゲート絶縁膜と、  
前記ゲート絶縁膜を介し前記シリコン基板の露出表面上であって、前記ゲート絶縁膜で囲まれた溝内に設けられ、その上面が平坦化されたゲート電極と、より成ることを特徴とするエレベータッドソース・ドレイン構造を有する半導体装置。

【請求項9】前記エレベータッドソース膜及びエレベータッドドレイン膜は、前記第1のゲート側壁絶縁膜と接した箇所において、ファセットが無いことを特徴とする、請求項1、5、7或いは8に記載のエレベータッドソース・ドレイン構造を有する半導体装置。

【請求項10】前記シリコン基板と前記ゲート側壁絶縁膜との間には空隙が存在することを特徴とする請求項9記載のエレベータッドソース・ドレイン構造を有する半導体装置。

【請求項11】前記空隙には、前記エレベータッドソース膜及びエレベータッドドレイン膜のファセットが存在し、かつこのファセットと前記シリコン基板とのなす角度を $\theta$ 、前記シリコン基板と前記第1のゲート側壁絶縁膜の底面との間の距離を $y$ 、前記第2のゲート側壁絶縁

膜が存在しない部分の前記第1のゲート側壁絶縁膜の底面のチャンネル長方向の寸法を $x$ とした場合に、 $y/x < \tan \theta$ の条件を満たすことを特徴とする請求項10記載のエレベータッドソース・ドレイン構造を有する半導体装置。

【請求項12】前記シリコン基板の主面は $\{100\}$ 、前記ゲート電極の長手方向は前記シリコン基板の $\langle 110 \rangle$ 方向であり、かつ前記シリコン基板と前記ライナー層が存在しない部分の前記ゲート側壁絶縁膜の底面との間には空隙が存在し、且つこの空隙には前記エレベータッドソース膜及びエレベータッドドレイン膜のファセットが存在し、これらファセットと前記シリコン基板とのなす角度がそれぞれ $25.23^\circ$ 、かつ前記シリコン基板と前記ゲート側壁絶縁膜の底面との間の距離を $y$ 、前記ライナー部材のゲート側壁絶縁膜が存在しない部分の前記ゲート側壁絶縁膜の底面のチャンネル長方向の寸法を $x$ とした場合に、 $y/x < \tan(25.23^\circ)$ の条件を満たすことを特徴とする請求項8記載のエレベータッドソース・ドレイン構造を有する半導体装置。

【請求項13】シリコン基板上にバッファ酸化膜を介してダミーゲート電極を形成する工程と、  
前記ダミーゲート電極をマスクとして前記シリコン基板にイオン注入を行う工程と、  
前記バッファ酸化膜および前記ダミーゲート電極を覆うように、全面にライナー層( $\text{SiO}_2$ )を形成する工程と、  
前記ライナー層上に第1の絶縁膜を形成する工程と、  
前記第1の絶縁膜を全面エッチングすることによって、前記ゲート電極の側壁に前記ライナー層を介して前記第1の絶縁膜を選択的に残置させゲート側壁を形成する工程と、  
前記第1の絶縁膜で覆われていない領域の前記ライナー層をエッチングすることによって除去するとともに、前記ライナー層を前記第1の絶縁膜の側壁の下底と前記シリコン基板との間に残置させる工程と、  
前記ライナー層及び前記第1の絶縁膜の側壁の周囲の前記シリコン基板の表面を露出させた状態でシリコンのエピタキシャル成長を行って、前記ライナー層及び前記第1の絶縁膜の側壁の周囲の前記シリコン基板上にシリコン膜を形成する工程と、  
前記シリコン膜を介して前記シリコン基板の表面に不純物イオンを注入した後にアニールを行うことによって、前記シリコン基板の表面にソース拡散層およびドレイン拡散層を形成する工程と、  
前記ダミーゲート電極、前記ライナー層、及び前記第1の絶縁膜の側壁上に層間絶縁膜を堆積した後、前記層間絶縁膜表面を平坦化し、前記ダミーゲート電極表面を露出する工程と、  
前記ダミーゲート電極、次いで前記バッファ酸化膜を除去し前記シリコン基板表面を露出する工程と、  
前記露出されたシリコン基板表面及び前記第1の絶縁膜

の側壁内面にゲート絶縁膜を形成する工程と、前記シリコン基板の露出表面上であって、前記ゲート絶縁膜で囲まれた溝内に、その上面が平坦化されたゲート電極をを埋め込む工程と、より成るエレベータッドソース・ドレイン構造を有する半導体装置の製造方法。

【請求項 14】前記ゲート電極は、金属であり、更に、前記ゲート絶縁膜で囲まれた溝内に、前記ゲート電極を埋め込む工程の前に、前記シリコン基板の露出表面上の前記ゲート絶縁膜と前記ゲート電極との間に反応防止膜を介在させる工程を含むことを特徴とする請求項 13 に記載のエレベータッドソース・ドレイン構造を有する半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置及びその製造方法に係り、特にソース領域およびドレイン領域が元々のシリコン基板の表面よりも迫り上げられた構造を有する半導体装置およびその製造方法に関する。

【0002】MOS 型集積回路において、微細かつ高速な素子を実現するために、ソース拡散層およびドレイン拡散層上に C o シリサイド膜や T i シリサイド膜などの金属シリサイド膜を自己整合的に形成するサリサイド (SALICIDE: Self Aligned Silicide) 技術が開発されている。

【0003】一方、微細化が進むにつれソース拡散層およびドレイン拡散層をこれまで以上に基板表面から浅く形成する必要が生じている。

【0004】ところが、上記のような SALICIDE 技術を微細化された素子に適用することを考えると、高融点金属膜とシリコン基板とのシリサイド化反応が、高融点金属膜がシリコン基板のシリコンを消費しながら進むことから、基板表面からの浅い領域でのウェルとソース領域、又はドレイン領域との接合 (ジョイント) を形成することは困難なものとなる。

【0005】この問題を解決するために、シリコン基板表面のソース領域およびドレイン領域上にエピタキシャルシリコン膜を形成することによって、ソース領域およびドレイン領域の表面を元々のシリコン基板の表面よりも迫り上げることが行われている。

【0006】次いで、エピタキシャルシリコン膜を介して基板表面に不純物イオンを注入し、次に高融点金属膜を堆積してシリサイド化反応を行うことで、低抵抗のソース領域およびドレイン領域を形成すると同時に、元々の基板表面からの浅い領域に接合を形成することが提案されている。

【0007】このようにソース領域およびドレイン領域上にシリコンをエピタキシャル成長させ、ソース領域およびドレイン領域の表面を元々のシリコン基板の表面よりも迫り上げる技術は、エレベータッドソース・ドレイン技術と呼ばれている。

【0008】また、ソース領域およびドレイン領域が元々の基板表面よりも迫り上げられた構造のことを以下エレベータッドソース・ドレイン構造という。

【0009】図 10 に、従来のエレベータッドソース・ドレイン構造を有する MOS トランジスタの断面図を示す。

【0010】シリコン基板 81 上にはゲート酸化膜 82 を介してポリシリコンからなるゲート電極 83 が形成されている。このゲート電極 83 の側壁には SiO<sub>2</sub> ライナー 84 を介して窒化シリコン (SiN) からなるゲート側壁 SiN 膜 85 が形成されている。

【0011】また、シリコン基板 81 の表面にはソース拡散層 86 およびドレイン拡散層 87 が自己整合的に形成されている。これらのソース拡散層 86 およびドレイン拡散層 87 上にはそれぞれ単結晶シリコンからなるソースシリコン膜 88 およびドレインシリコン膜 89 がエピタキシャル成長法によって形成されている。

【0012】しかし、この種のエレベータッドソース・ドレイン構造を有する MOS トランジスタには、以下のような問題があった。

【0013】すなわち、エレベータッドソース膜 88 およびエレベータッドドレイン膜 89 は、ゲート側壁 SiN 膜 85 のそれぞれの下端において、ファセット 90 が生じるため、その箇所でソース領域およびドレイン領域の迫り上げが不十分となる。

【0014】そのため、エレベータッドソース膜 88 およびエレベータッドドレイン膜 89 を介して不純物イオンを基板表面に注入し、ソース拡散層 86 およびドレイン拡散層 97 を形成する際に、迫り上げが不十分ところではソース拡散層 86 およびドレイン拡散層 87 は深くて高不純物濃度のものとなる。

【0015】その結果、トランジスタ駆動時にチャネル領域に生じる電場によりチャネル領域に空乏層が形成され、 $|V_{ch}|$  (しきい値電圧の絶対値) の低下やソース・ドレイン間の耐圧が低下する。すなわち、短チャネル効果の問題が生じる。

【0016】さらに、ファセットの生じた個所では基板表面からの浅い領域での接合が形成できないために、そこで接合リーク電流が生じ、これがトランジスタの特性を著しく劣化させる原因となっていた。

【0017】上述の如く、SALICIDE 技術を微細化された MOS トランジスタに適用する場合を考えると、高融点金属膜がシリコン基板のシリコンを消費しながら進むことから、浅い接合を形成することは困難なものとなる。

【0018】そこで、エレベータッドソース・ドレイン構造を持った MOS トランジスタがこれまでに提案された。すなわち、ソース領域およびドレイン領域上にエピタキシャルシリコン膜を形成し、ソース領域およびドレイン領域の表面を元々の基板表面よりも迫り上げてから、不

純物イオンの注入、シリサイド反応を行うことによって、低抵抗かつ接合の浅いソース拡散層およびドレイン拡散層を形成することが提案された。

【0019】しかしながら、エピタキシャルシリコン膜はゲートエッジ下端においてファセットが生じるため、その箇所でソース領域およびドレイン領域の迫り上げが不十分となる。

【0020】その結果、迫り上げが不十分ところでは、深いソース拡散層およびドレイン拡散層は深くて高不純物濃度のものとなるため、短チャネル効果が生じるという問題があった。さらに、ファセットの生じた箇所では浅い接合が形成されないために、そこで接合リーク電流が生じるという問題が指摘されていた。

【0021】

【発明が解決しようとする課題】本発明は、上記事情を考慮してなされたもので、その目的とするところは、短チャネル効果および接合リーク電流の発生が抑制されたエレベータードソース・ドレイン構造を有する半導体装置およびその製造方法を提供することにある。

【0022】又、本発明の他の目的は、ソース・ゲート間およびソース・ドレイン間の容量を削減でき、更に接合リークやソース・ドレイン間の耐圧劣化の少ない良好な特性が得られるエレベータードソース・ドレイン構造を有する半導体装置及びその製造方法を提供することにある。

【0023】

【課題を解決するための手段】本発明は、上記目的を達成するため、以下のように構成されている。

【0024】本発明のエレベータードソース・ドレイン構造を有する半導体装置（請求項1）は、シリコン基板と、前記シリコン基板表面に絶縁膜を介して設けられるゲート電極と、前記シリコン基板表面のソース領域およびドレイン領域上に、少なくともそれらの表面部分が前記シリコン基板表面から迫り上げられたエレベータードソース膜及びエレベータードドレイン膜とが形成されることによって、前記ソース領域およびドレイン領域の表面が前記シリコン基板表面よりも迫り上げられた構造を持つ半導体装置であって、前記ゲート電極の側壁に形成され、かつその底面が前記シリコン基板表面から離れて形成された第1のゲート側壁絶縁膜と、この第1のゲート側壁絶縁膜と前記ゲート電極との間および前記第1のゲート側壁絶縁膜の底面に形成され、前記第1のゲート側壁絶縁膜の材料と異なる材料からなり、この底面に形成された部分が前記第1のゲート側壁絶縁膜の底面の内、前記ゲート電極寄りの内側底面部分に存在する第2のゲート側壁絶縁膜と；より成ることを特徴とする。

【0025】このとき、前記シリコン基板と前記第2のゲート側壁絶縁膜が存在しない部分の前記第1のゲート側壁絶縁膜の底面との間（請求項2）には空隙が存在する。この空隙には前記エレベータードソース膜及びエレ

ベータードドレイン膜のファセットが存在し、かつこのファセットと前記シリコン基板とのなす角度を $\theta$ 、前記シリコン基板と前記第1のゲート側壁絶縁膜の底面との間の距離を $y$ 、前記第2のゲート側壁絶縁膜が存在しない部分の前記第1のゲート側壁絶縁膜の底面のチャンネル長方向の寸法を $x$ とした場合に、 $y/x < \tan \theta$ の条件を満たす（請求項3）ことを特徴としている。

【0026】このとき、前記シリコン基板（請求項4）の主面は $\{100\}$ 、前記ゲート電極の長手方向は、前記シリコン基板の $\langle 110 \rangle$ 方向であり、かつ前記シリコン基板と前記第2のゲート側壁絶縁膜が存在しない部分の前記第1のゲート側壁絶縁膜の底面との間には空隙が存在し、且つこの空隙には前記エレベータードソース膜及びエレベータードドレイン膜のファセットが存在し、これらファセットと前記シリコン基板とのなす角度がそれぞれ $25.23^\circ$ 、かつ前記シリコン基板と前記第1のゲート側壁絶縁膜の底面との間の距離を $y$ 、前記第2のゲート側壁絶縁膜が存在しない部分の前記第1のゲート側壁絶縁膜の底面のチャンネル長方向の寸法を $x$ とした場合に、 $y/x < \tan (25.23^\circ)$ の条件を満たすことを特徴としている。

【0027】又、このとき、前記第1のゲート側壁絶縁膜の材料は、窒素を含むシリコン化合物であり、前記第2のゲート側壁絶縁膜の材料は、窒素を含まないシリコン化合物であることが好ましい。

【0028】又、本発明のエレベータードソース・ドレイン構造を有する半導体装置（請求項5）は、シリコン基板と、前記シリコン基板表面に絶縁膜を介して設けられるゲート電極と、前記シリコン基板表面のソース領域およびドレイン領域上に、少なくともそれらの表面部分が金属シリサイド膜である導電性を有する前記シリコン基板表面から迫り上げられたエレベータードソース膜及びエレベータードドレイン膜とが形成されることによって、前記ソース領域およびドレイン領域の表面が前記シリコン基板表面よりも迫り上げられた構造を持つ半導体装置であって、前記ゲート電極の側壁に形成され、且つ底面が前記シリコン基板表面から離れて形成され、且つ窒素を含むシリコン化合物からなる第1のゲート側壁絶縁膜と、この第1のゲート側壁絶縁膜と前記ゲート電極との間および前記第1のゲート側壁絶縁膜の底面に形成され、且つ前記シリコン化合物と異なる第2のゲート側壁絶縁膜と、を有することを特徴としている。

【0029】又、この発明のエレベータードソース・ドレイン構造を有する半導体装置の製造方法（請求項6）は、シリコン基板上にゲート絶縁膜を介してゲート電極を形成する工程と、前記ゲート絶縁膜および前記ゲート電極を覆うように、全面に第1の絶縁膜を形成する工程と、前記第1の絶縁膜上に該第1の絶縁膜の材料よりも速いエッチング速度でエッチングできる材料からなる第2の絶縁膜を形成する工程と、前記第1の絶縁膜を前記

シリコン基板に対してのエッチングストップに用いて前記第2の絶縁膜を全面エッチングすることによって、前記ゲート電極の側壁に前記第1の絶縁膜を介して前記第2の絶縁膜を選択的に残置させる工程と、前記第2の絶縁膜で覆われていない領域の前記第1の絶縁膜をエッチングすることによって除去するとともに、前記第1の絶縁膜を前記第2の絶縁膜と前記シリコン基板との間に選択的に残置させる工程と、前記第1および第2の絶縁膜周囲の前記シリコン基板の表面を露出させた状態でシリコンのエピタキシャル成長を行って、前記第1および第2の絶縁膜周囲の前記シリコン基板上に、前記第2の絶縁膜と接する箇所にファセットのないシリコン膜を形成する工程と、前記シリコン膜を介して前記シリコン基板の表面に不純物イオンを注入した後にアニールを行うことによって、前記シリコン基板の表面にソース拡散層およびドレイン拡散層を形成する工程と、前記シリコン膜の少なくとも表面部分を金属シリサイド膜に変える工程と；より成ることを特徴としている。

【0030】このとき、前記第1の絶縁膜は、窒素を含まないシリコン化合物であり、前記第2の絶縁膜は、窒素を含むシリコン化合物より成ることが好ましい。

【0031】本発明のエレベータッドソース・ドレイン構造を有するMOSトランジスタが形成される半導体装置（請求項7）は、シリコン基板と、前記シリコン基板表面に形成されるゲート電極と、前記シリコン基板表面のソース領域およびドレイン領域上に、少なくともそれらの表面部分が前記シリコン基板表面から迫り上げられたエレベータッドソース膜及びエレベータッドドレイン膜とが形成され、前記ソース領域およびドレイン領域の表面が前記シリコン基板表面よりも迫り上げられた構造を持つMOSトランジスタが形成される半導体装置であって、前記MOSトランジスタのゲート電極の側壁に形成された第1のゲート側壁絶縁膜と、この第1のゲート側壁絶縁膜と前記ゲート電極との間および前記第1のゲート側壁絶縁膜の底面に形成され、前記第1のゲート側壁絶縁膜の材料と異なる材料からなり、前記シリコン基板の表面と前記第1のゲート側壁絶縁膜の底面との間に形成され、前記ゲート電極寄りの内側底面部分に存在する第2のゲート側壁絶縁膜とを有することを特徴としている。

【0032】このとき、前記ゲート電極は、多結晶シリコンとシリコン窒化膜を積層して形成されることが好ましい。又、本発明のエレベータッドソース・ドレイン構造を有する半導体装置（請求項8）は、シリコン基板と、前記シリコン基板表面に絶縁膜を介して設けられるゲート電極と、前記シリコン基板表面のソース領域およびドレイン領域上に、前記シリコン基板表面から迫り上げられたエレベータッドソース膜及びエレベータッドドレイン膜が形成されることがによって、前記ソース領域およびドレイン領域の表面が前記シリコン基板表面よりも

迫り上げられた構造を持つ半導体装置であって、前記ゲート電極の側壁に形成され、かつその底面が部分的に前記シリコン基板表面から離れて形成されたゲート側壁絶縁膜と、前記ゲート側壁絶縁膜の底面と前記シリコン基板表面との間に部分的に形成されたライナー層と、前記ゲート電極の底面と前記シリコン基板の表面との間及び前記ゲート側壁絶縁膜の内面に形成されるゲート絶縁膜と、前記ゲート絶縁膜を介し前記シリコン基板の露出表面上であって、前記ゲート絶縁膜で囲まれた溝内に設けられ、その上面が平坦化されたゲート電極と、より成ることを特徴としている。

【0033】このとき、前記エレベータッドソース膜及びエレベータッドドレイン膜は、前記第1のゲート側壁絶縁膜と接した箇所において、ファセットが無い（請求項9）ことを特徴としている。

【0034】このとき、前記シリコン基板の露出表面上の前記ゲート絶縁膜と前記ゲート電極との間に介在される反応防止膜を更に含むことができる。

【0035】又、前記ゲート電極は、少なくとも単一の金属層から成ることが好ましい。又、このときの前記ゲート電極は、タングステン、Al、Cu のいずれか一つであることが好ましい。

【0036】更に、前記反応防止膜は、窒化チタン、窒化タングステン、窒化タンタルのいずれか一つであることが好ましい。

【0037】又、このとき、前記シリコン基板と前記ゲート側壁絶縁膜との間には空隙が存在する（請求項10）ことを特徴とする。

【0038】この空隙（請求項11）には前記エレベータッドソース膜及びエレベータッドドレイン膜のファセットが存在し、かつこのファセットと前記シリコン基板とのなす角度を $\theta$ 、前記シリコン基板と前記ゲート側壁絶縁膜の底面との間の距離を $y$ 、前記ライナー層が存在しない部分の前記ゲート側壁絶縁膜の底面のチャンネル長方向の寸法を $x$ とした場合に、 $y/x < \tan \theta$ の条件を満たすことを特徴としている。

【0039】又、このとき、前記シリコン基板（請求項12）の主面は、 $\{100\}$ 、前記ゲート電極の長手方向は前記シリコン基板の $\langle 110 \rangle$ 方向であり、かつ前記シリコン基板と前記ライナー層が存在しない部分の前記ゲート側壁絶縁膜の底面との間には空隙が存在し、且つこの空隙には前記エレベータッドソース膜及びエレベータッドドレイン膜のファセットが存在し、これらファセットと前記シリコン基板とのなす角度がそれぞれ $25.23^\circ$ 、かつ前記シリコン基板と前記ゲート側壁絶縁膜の底面との間の距離を $y$ 、前記ライナー部材のゲート側壁絶縁膜が存在しない部分の前記ゲート側壁絶縁膜の底面のチャンネル長方向の寸法を $x$ とした場合に、 $y/x < \tan (25.23^\circ)$ の条件を満たすことを特徴としている。



【0040】更に、この発明のエレベテッドソース・ドレイン構造を有する半導体装置の製造方法（請求項13）は、シリコン基板上にバッファ酸化膜を介してダミーゲート電極を形成する工程と、前記ダミーゲート電極をマスクとして前記シリコン基板にイオン注入を行う工程と、前記バッファ酸化膜および前記ダミーゲート電極を覆うように、全面にライナー層（SiO<sub>2</sub>）を形成する工程と、前記ライナー層上に第1の絶縁膜を形成する工程と、前記第1の絶縁膜を全面エッチングすることによって、前記ゲート電極の側壁に前記ライナー層を介して前記第1の絶縁膜を選択的に残置させゲート側壁を形成する工程と、前記第1の絶縁膜で覆われていない領域の前記ライナー層をエッチングすることによって除去するとともに、前記ライナー層を前記第1の絶縁膜の側壁の下底と前記シリコン基板との間に残置させる工程と、前記ライナー層及び前記第1の絶縁膜の側壁の周囲の前記シリコン基板の表面を露出させた状態でシリコンのエピタキシャル成長を行って、前記ライナー層及び前記第1の絶縁膜の側壁の周囲の前記シリコン基板上にシリコン膜を形成する工程と、前記シリコン膜を介して前記シリコン基板の表面に不純物イオンを注入した後にアニールを行うことによって、前記シリコン基板の表面にソース拡散層およびドレイン拡散層を形成する工程と、前記ダミーゲート電極、前記ライナー層、及び前記第1の絶縁膜の側壁上に層間絶縁膜を堆積した後、前記層間絶縁膜表面を平坦化し、前記ダミーゲート電極表面を露出する工程と、前記ダミーゲート電極、次いで前記バッファ酸化膜を除去し前記シリコン基板表面を露出する工程と、前記露出されたシリコン基板表面及び前記第1の絶縁膜の側壁内面にゲート絶縁膜を形成する工程と、前記シリコン基板の露出表面上であって、前記ゲート絶縁膜で囲まれた溝内に、その上面が平坦化されたゲート電極を埋め込む工程と、より成ることを特徴とする。このとき、前記ゲート電極（請求項14）は、金属であり、更に、前記ゲート絶縁膜で囲まれた溝内に、前記ゲート電極を埋め込む工程の前に、前記シリコン基板の露出表面上の前記ゲート絶縁膜と前記ゲート電極との間に反応防止膜を介在させる工程を含むことを特徴としている。

#### 【0041】

【発明の実施の形態】以下本発明の一実施例について説明する前に、本発明の概要を図11及び図12を参照して説明する。

【0042】図11は、エレベテッドソース・ドレイン構造を有するMOSトランジスタの要部断面図、エレベテッドソース膜、および図12(a)乃至図12

(d)は、エレベテッドドレイン膜の成長過程を示す各断面図である。

【0043】本発明者らは、エレベテッドソース・ドレイン構造を持ったMOSトランジスタのファセットの発生は、ゲートエッジやSTI（Shallow Tr

ench Isolation）エッジ等におけるSiO<sub>2</sub>膜との境界部分で起こることを明らかにした。

【0044】例えば、ゲート側壁絶縁膜の材料として通常のSiO<sub>2</sub>を用いた場合には、図11に示すように、エレベテッドソース膜88およびエレベテッドドレイン膜89（エピタキシャルシリコン層）は、ゲート側壁SiO<sub>2</sub>膜91（ゲートエッジ）に接した箇所（311）結晶面からなるファセット90を生じることが明らかになっている。

【0045】例えば、図12(a)に示すように、ゲート電極83の側壁にSiO<sub>2</sub>ライナー84を介してゲート側壁SiN膜85が形成されていて、ソース領域およびドレイン領域の基板表面が露出した状態で、シリコンの選択エピタキシャル成長を行う。

【0046】そうすると、図12(b)に示すように、エレベテッドソース膜88およびエレベテッドドレイン膜89（エピタキシャルシリコン膜）が当初ゲート酸化膜82（SiO<sub>2</sub>膜）に沿って成長する。

【0047】しかる後、SiO<sub>2</sub>ライナー84に沿って成長するため、ゲート酸化膜82とSiO<sub>2</sub>ライナー84とのエッジで構成される実質的にSiO<sub>2</sub>膜のエッジに沿ってエピタキシャル成膜した場合と等しくなる結果、ゲートエッジ下端で（311）面からなるファセット90が生じてしまう。

【0048】次に図12(b)に示す状態を保持しながらシリコンのエピタキシャル成長を続けると、図12(c)に示すように、ファセット面がゲート側壁SiN膜85の底面端部に接触し、そのファセット面の一部は、ゲート側壁SiN膜85の外部に露出することとなる。

【0049】図13は、これを証明する実験結果を示す顕微鏡写真（SEM像）である。

【0050】SiN膜（厚さ：240nm）／SiO<sub>2</sub>膜（厚さ：50nm）のパターン上にシリコンをエピタキシャル成長させ、（図12(b)の状態に相当する）その後さらにシリコンのエピタキシャル成長を続けた場合に得られるの顕微鏡写真である。

【0051】図12(c)及び図13から明らかなように、ファセット面はエピタキシャル成長が続いている間は常に表面が露出しているため、ファセット90が消えることなくシリコンがエピタキシャル成長してしまう。

【0052】その結果、図12(d)に示すように、ゲートエッジ下端にファセット90を有するエレベテッドソース膜88およびエレベテッドドレイン膜89が形成されることになる。

【0053】本発明は、図12(a)乃至図12(d)を参照して述べたゲートエッジでのファセット90の発生を抑制するために、ゲート側壁絶縁膜85の材料とゲート側壁絶縁膜85のエッジ下端の形状（構造）を工夫することによって、前述したファセットの発生を抑制



するものである。

【0054】以下図面を参照して、本発明の第1の実施例について説明する。

【0055】まず、材料上の特徴を述べる。本発明では、ゲート側壁絶縁膜の材料として、窒化シリコン(SiN)または窒化酸化シリコン(SiON)等の窒素を含む絶縁材料を用いる。

【0056】何故なら、この種の絶縁材料を用いた場合には、エレベータードソース膜およびエレベータードドレイン膜(エピタキシャルシリコン膜)のそれぞれの膜厚が約100nm未満ではファセットが生じないことが本発明者らの研究で明らかになったからである。

【0057】次に形状(構造)上の特徴を述べる。

【0058】ここでは、SiNからなるゲート側壁絶縁膜(ゲート側壁SiN膜)を用いた場合について説明す

$$\left( \text{ゲート側壁SiN膜の底面とシリコン基板との間の距離} y \right) / \left( \text{横方向エッチング量} x \right) < \tan \theta$$

となるように、横方向エッチング量 $x$ 、言い換えればSiO<sub>2</sub>ライナー84が形成されない部分のゲート側壁SiN膜85の底面のチャンネル長方向の寸法を制御することで、図1に示した構造を得ることができる。 $\theta$ の値は発生するファセットの結晶面が分かれば求めることができる。

【0063】例えば、通常の半導体プロセスで用いられる{100}ウェハー上に形成された<110>方向のパターン上にシリコンを気相エピタキシャル成長させる場合には、パターンエッジにおいて{311}面がファセットとして優先的に発生するため、 $\theta = 25.23^\circ$ とすれば良い。

【0064】さらに詳しく述べると、実際に発生するファセット面が、{311}面と、{311}面より急峻な面との複合面となった場合には、他に発生するファセット面が{311}面よりも急峻なファセット角(上記で定義した $\theta$ )を有する場合においては、{311}面のみが発生すると仮定して(式1)に従って横方向エッチング量 $x$ 、SiO<sub>2</sub>ライナーの厚さ $y$ を決定すれば十分である。

【0065】以上のようにしてゲート側壁SiN膜85の下端部においてファセットのないエピタキシャルシリコン層を形成することができる。

【0066】図6は、実際に(式1)を満足している場合には、SiN膜に接触した箇所ではファセットが生じていないことを示す顕微鏡写真(断面SEM像)を示す。このとき、SiN膜(厚さ:240nm)/SiO<sub>2</sub>膜(厚さ:50nm)のパターン上にシリコンをエピタキシャル成長させた実験試料を用いている。

【0067】一方、ライナー材料としてSiONを用いた場合にはSiONはSiNと同じ性質を持っているので、以上のようなSiO<sub>2</sub>ライナーの横方向エッチングによるゲート側壁SiN膜の底部の形状制御(パラメー

る。

【0059】先ず、図1において、シリコン基板上であって、ゲート側壁SiN膜85の下部に在るSiO<sub>2</sub>ライナー84を希フッ酸水溶液等を用いて横方向にエッチング除去する。

【0060】この後、シリコン基板上のシリコン層に選択エピタキシャル成長を行なわせると、SiO<sub>2</sub>ライナー84に接触して形成されたファセット90の上端部がゲート側壁SiN膜85の底面に接触する。

【0061】このため、ファセット90の面が、ゲート側壁SiN膜85の底面に隠れ、ゲート側壁SiN膜85の外側に露出せず、以降の成長においてファセット90の成長を防ぐことができる。

【0062】拡大図で示すように、このとき発生するファセット90の角度を $\theta$ とすると、

…(式1)

タ $x$ 、 $y$ 、 $\theta$ の制御)によらずに、ファセットの発生を抑制することもできる。

【0068】したがって、この場合には、ゲート側壁SiN膜85の底部の形状に注意する必要はない。

【0069】次に、本発明の具体的な第一の実施の形態について、図2乃至図4を参照して説明する。

【0070】図2乃至図4は、本発明の第1の実施形態に係るエレベータードソース・ドレイン構造を有するMOSトランジスタの製造方法を示す各工程断面図である。

【0071】まず、図2(a)に示すように、主面が{100}のシリコン基板1の表面にAs(砒素)イオンを注入し、続いてアニールを行うことによって、深さ1 $\mu$ m程度のn型ウェル2を形成する。

【0072】次に図2(b)に示すように、シリコン基板1の表面に浅いトレンチを形成し、このトレンチの内部を酸化膜3で埋め込むことによってSTI(Silicon Trench Isolation)によって、MOSトランジスタの形成領域を規定する素子分離領域を形成する。酸化膜3の膜厚(トレンチの深さ)は、例えば600nm程度である。

【0073】次に図2(c)に示すように、厚さ10nm程度の保護酸化膜4を例えば熱酸化によって基板表面に形成した後、MOSトランジスタのしきい値電圧を調整するために、保護酸化膜4を介して基板表面に不純物イオン5を注入する。この後、保護酸化膜4を剥離する。

【0074】次に図2(d)に示すように、厚さ数nm程度のゲート酸化膜6を熱酸化によって形成した後、このゲート酸化膜6上に多結晶シリコンからなるゲート電極7を形成する。このゲート電極7の長手方向はシリコン基板1の<110>方向に選んである。

【0075】ゲート電極7の具体的な形成方法は以下の

通りである。すなわち、ゲート酸化膜 6 上にゲート電極 7 となる厚さ 200 nm の多結晶シリコン膜を CVD 法等によって堆積した後、この多結晶シリコン膜上にフォトリソパターンを形成し、これをマスクにして多結晶シリコン膜をエッチングすることにより形成する。

【0076】次に図 3 (e) に示すように、ゲート電極 7 をマスクにして不純物イオンを基板表面に注入し、しかる後アニールを行って、低不純物濃度の浅いソース拡散層 8 およびドレイン拡散層 (LDD) 9 を自己整合的に形成する。

【0077】イオン注入の条件は、例えば  $\text{BF}_2$  のイオン注入であれば、加速電圧は 10 KeV、ドーズ量  $5 \times 10^{14} \text{ cm}^{-2}$  である。

【0078】次に図 3 (f) に示すように、全面に  $\text{SiO}_2$  からなる厚さ 10 nm の  $\text{SiO}_2$  ライナー 10 を LPCVD 法により堆積し、続いて LPCVD 法により  $\text{SiO}_2$  ライナー 10 上に厚さ 70 nm 程度のシリコン窒化膜 11 を被覆性良く堆積する。

【0079】 $\text{SiO}_2$  ライナー 10 は、後工程でエッチングストップに用いるので、 $\text{SiO}_2$  ライナー 10 の膜厚は 10 nm 程度以上の膜厚を要する。

【0080】次に図 3 (g) に示すように、 $\text{SiO}_2$  ライナー 10 をシリコン基板 1 に対してのエッチングストパーに用いて、シリコン窒化膜 11 の全面を RIE 法にてエッチングし、ゲート電極 7 の側壁に  $\text{SiO}_2$  ライナー 10 を介してシリコン窒化膜 11 を選択的に残置させる。以下、この残ったシリコン窒化膜 11 をゲート側壁  $\text{SiN}$  膜 11 という。

【0081】なお、本実施形態では、 $\text{SiO}_2$  ライナー 10 が消滅しないようにエッチングを行ったが、 $\text{SiO}_2$  ライナー 10 の下地であるゲート酸化膜 6 が消滅しなければ、 $\text{SiO}_2$  ライナー 10 は消滅しても良い。

【0082】このようなエッチングは、ゲート酸化膜 6 (熱酸化膜) が  $\text{SiO}_2$  ライナー 10 (LPCVD 膜) よりも緻密な膜であることから容易に行うことができる。

【0083】次に図 3 (h) に示すように、希弗酸水溶液等を用いたウェットエッチング (等方性エッチング) によって、ゲート側壁  $\text{SiN}$  膜 11 により覆われていない領域の  $\text{SiO}_2$  ライナー 10 およびゲート酸化膜 6 を除去するとともに、ゲート側壁  $\text{SiN}$  膜 11 の底面の  $\text{SiO}_2$  ライナー 10 およびゲート酸化膜 6 を横方向にエッチングすることにより、 $\text{SiO}_2$  ライナー 10 およびゲート酸化膜 6 をゲート側壁  $\text{SiN}$  膜 11 よりも内側の部分に選択的に残置させる。

【0084】ここで、後工程のシリコンのエピタキシャル成長の際における、主面 {100} のシリコン基板 1 を用いた場合の {311} ファセットの発生を抑制するために、図 1 の説明で定義したファセットの角度  $\theta$  を  $23.5^\circ$  とすれば良い。

【0085】図 1 で定義した距離  $y$  は、ここでは  $\text{SiO}_2$  ライナー 10 とゲート酸化膜 6 の合計膜厚  $d$  に相当する。したがって、 $\text{SiO}_2$  ライナー 10 およびゲート酸化膜 6 の膜厚に対しての横方向エッチング量  $x$  [nm] が、 $d/x < \tan 25.3^\circ$  を満たすようにエッチングを行う。

【0086】本実施形態では、 $\text{SiO}_2$  ライナー 10 の膜厚を 10 nm、ゲート酸化膜 6 の膜厚を数 nm としている。ここで、ゲート酸化膜 6 の膜厚を高々 3 nm とすれば、 $d = 13$  となるので、 $x > 27.5$  とすれば良い。

【0087】このようにして  $\text{SiO}_2$  ライナー 10 およびゲート酸化膜 6 を横方向に所定量エッチングすることにより、ゲート側壁  $\text{SiN}$  膜 11 の底面とシリコン基板との間には所定寸法の空隙が形成されることになる。

【0088】次に図 4 (i) に示すように、気相選択エピタキシャル成長法により、 $\text{SiO}_2$  ライナー 10 およびゲート酸化膜 6 を除去して現れたソース拡散層 8 およびドレイン拡散層 9 上に厚さ 50 nm 程度のエピタキシャルシリコン膜 (単結晶シリコン膜) 12 を形成する。

【0089】また、エピタキシャルシリコン膜 12 の原料ガスとしては、例えば  $\text{SiH}_2\text{Cl}_2$  ガスと  $\text{HCl}$  ガスの混合ガスを  $\text{H}_2$  ガスで希釈したものを用いる。また、圧力は、例えば 10 Torr 台の低圧力に設定する。なお、原料ガスとしては、 $\text{SiH}_4$  ガスを用いても良い。

【0090】エピタキシャルシリコン膜 12 は、その膜厚が 10 nm 未満の成長の初期段階では、 $\text{SiO}_2$  ライナー 10 と接するため {311} 面のファセット 13 を生じる。

【0091】そして、成長が進み、膜厚が 10 nm を越えると、ファセット 13 はゲート側壁  $\text{SiN}$  ライナー 10 の底面に隠れ、エピタキシャルシリコンはゲート側壁  $\text{SiN}$  膜 11 の側面に接しながら成長する。

【0092】したがって、ゲートエッジ下端において、エピタキシャルシリコン膜 12 は、その膜厚が 10 nm を越えた成長の段階で、ファセットを生じることはない。

【0093】ただし、ファセットを生じないようにするためには、エピタキシャルシリコン膜 12 のゲート側壁  $\text{SiN}$  膜 11 の底面からの膜厚は、100 nm 未満である必要がある。何故なら、100 nm 以上になると、 $\text{SiN}$  膜に沿ってエピタキシャル成長してもファセットが生じるからである。

【0094】なお、ゲート電極 7 上にもエピタキシャルシリコン膜 12 が形成されるが、このゲート電極 7 上の多結晶シリコン膜は、下地であるゲート電極 7 が多結晶シリコン膜であることから、ソース拡散層 8 およびドレイン拡散層 9 上のエピタキシャルシリコン膜 12 のような単結晶シリコン膜とはならない。

【0095】また、図には、素子分離絶縁膜である酸化膜3上にもエピタキシャルシリコン膜12が成長している様子が描かれているが、酸化膜3上に成長させないこともできる。

【0096】次に図4(j)に示すように、ゲート電極7、ゲート側壁SiN膜11をマスクにして、不純物イオンを基板表面に注入し、しかる後アニールを行って、ソース拡散層8およびドレイン拡散層9よりも高不純物濃度で深いソース拡散層14およびドレイン拡散層15を自己整合的に形成する。イオン注入の条件は、例えばBF<sub>2</sub>のイオン注入であれば、加速電圧は40KeV、ドー

ズ量 $3 \times 10^{15} \text{ cm}^{-2}$ である。

【0097】ゲート側壁SiN膜11に接した箇所のエピタキシャルシリコン膜12にはファセットがないので、短チャネル効果や接合リーク電流の原因であるゲートエッジにおいて深くて高不純物濃度の領域を持ったソース拡散層14およびドレイン拡散層15に形成されることはない。

【0098】次に図4(k)に示すように、通常のサリサイド技術を用いて、金属シリサイド膜16を自己整合的に形成した後、層間絶縁膜17を全面に堆積する。

【0099】最後に、層間絶縁膜17にコンタクトホールを開口し、A1配線(ソース電極、ドレイン電極)18を形成して、エレベータードソース・ドレイン構造を有するMOSトランジスタが完成する。

【0100】なお、ここでは、エピタキシャルシリコン膜12の全てをシリサイド化して金属シリサイド膜16を形成したが、エピタキシャルシリコン膜12の上部だけを金属シリサイド膜16に変えても良い。

【0101】以上述べたように本実施形態によれば、ライナーとしてSiO<sub>2</sub>ライナー10、ゲート側壁絶縁膜としてゲート側壁SiN膜11を用い、さらにゲート側壁SiN膜11の底面のSiO<sub>2</sub>ライナー10を横方向に所定量除去してゲート側壁SiN膜11の底面とシリコン基板1との間に所定寸法の空隙を形成した後に、シリコンのエピタキシャル成長させることによって、ゲート側壁SiN膜11に接した箇所においてファセットの無いエピタキシャルシリコン膜12を形成できるようになる。

【0102】したがって、このファセットの無いエピタキシャルシリコン膜12を介して基板表面に不純物イオンを注入してソース拡散層14およびドレイン拡散層15を形成することにより、短チャネル効果や接合リーク電流の原因であるゲートエッジにおける高不純物濃度の深い拡散層を形成せずに済むので、短チャネル効果や接合リーク電流の問題のない微細なMOSトランジスタを実現できるようになる。

【0103】次に、本発明のエレベータードソース・ドレイン構造を有する半導体装置及びその製造方法の第2の実施形態について説明する。

【0104】図5(a)乃至図5(c)は、エレベータードソース・ドレイン構造を有するMOSトランジスタの製造方法を示す各工程の断面図である。

【0105】なお、図2乃至図4と対応する部分には同一符号を付してあり、その構成の説明は省略する。

【0106】この第2の実施形態が第1の実施形態と異なる点は、SiNライナー10の代わりにSiONライナー19を用いたことにある。

【0107】図5(a)に示す工程断面図は、第1の実施形態の図2及び図3に示す工程で得られた工程断面図と同じであり、SiONライナー19を用いた点を除いて第1の実施形態と同じである。

【0108】次に、図5(b)に示すように、ゲート側壁SiN膜11で覆われていない領域のSiO<sub>2</sub>ライナー19およびゲート酸化膜6を除去する。このとき、SiONライナー19は横方向にエッチングする必要はない。

【0109】次に図5(c)に示すように、気相選択エピタキシャル成長法により、ソース拡散層8およびドレイン拡散層9上に厚さ50nm程度のエピタキシャルシリコン膜12を形成する。

【0110】ここで、シリコンのエピタキシャル成長に関して、SiONはSiNと同様の性質を持っているため、すなわちエピタキシャルシリコン膜12がSiON膜に接しながら成長する場合には、SiN膜に接しながら成長する場合と同様にファセットを生じることなく平坦に成長する。

【0111】したがって、SiONライナー19が横方向にエッチングされていなくても、図5(c)に示すようにファセットのないエピタキシャルシリコン層11が形成される。

【0112】この後に続く工程は、第1の実施形態を示す図4までの工程と同じである。この第2の実施形態においても第1の実施形態と同様な効果が得られる。

【0113】なお、本発明は、上記実施形態に限定されるものではない。例えば、上記実施形態では、単体のMOSトランジスタの場合について説明したが、本発明は互いにチャネルの導電型の異なるMOSトランジスタからなるデバイスであるCMOSトランジスタにも適用できる。

【0114】次に、本発明の第3の実施例としてダマシングゲートトランジスタの製造方法を図7乃至図9を参照して以下に説明する。

【0115】シリコンから成る半導体基板に既知の方法で、浅溝型素子分離(STI)により素子領域を形成する。図示しないが、例えばシリコン基板上にパッファ酸化膜を介してマスクとなるシリコン窒化膜を堆積させ、転写用のレジストをパターンニングした後、RIE(Reactive Ion Etching)によりシリコン窒化膜に素子領域のパターンを形成する。

【0116】次に、レジストを除去した後、シリコン窒化膜をマスクとして素子分離領域のシリコン基板をエッチングする。次に、素子分離領域にシリコン酸化膜などの絶縁膜を堆積させ、CMP (Chemical Mechanical Polishing) などマスクであるシリコン窒化膜上面まで平坦化する。

【0117】その後、シリコン窒化膜とバッファ酸化膜を除去することで素子領域と素子分離領域とが形成される。必要に応じて、トランジスタ形成領域全面に不純物を注入することでトランジスタのチャネル部分の不純物濃度の調整を行う。

【0118】図7 (a) に示すように、シリコン基板上20上にバッファ酸化膜21を形成し、非結晶又は、多結晶シリコン22とシリコン窒化膜23を順に堆積させる。

【0119】レジストを塗布し、ゲート電極を形成すべき部分にゲートパターンを転写させ、それをマスクにシリコン窒化膜23と多結晶シリコン22の異方性エッチングを行うことでダミーゲート24を形成する。

【0120】次に、例えば、BF<sub>2</sub>ガスを用いて10keV、5x10<sup>14</sup> cm<sup>-2</sup>程度の条件でダミーゲートをマスクとしてBのイオン注入を行い、ソース領域、ドレイン領域の一部となるべき、LDD (Lightly Doped Drain) と呼ばれる領域を形成する。

【0121】次に、LP-CVD法等を用いて10nm程度のSiO<sub>2</sub>を堆積するか、又は、酸化することで、これをライナー層25とする。次いで、LP-CVD法等により70nm程度のSiN層をライナー層25に対して被覆性よく堆積し、RIEによりゲート側壁にのみSiNを残しSiNゲート側壁26とする。

【0122】前述の酸化膜ライナー層25は、SiNをRIEする際のエッチングストッパーの役割を果たす。

【0123】尚、図7 (a) に示したように、ゲート側壁26を残すのみでSiNを完全にエッチングすると、ライナー層25であるSiO<sub>2</sub>層もややエッチングされる場合があるが、ライナー層25が残留していればSi基板20は、RIEから保護できていてダメージは、発生しない。

【0124】この後、Si選択エピタキシャル成長を行うが、エピタキシャル成長のためには、基板の結晶性をエピタキシャル層が引き継ぐことが必要であるためにソース・ドレイン上に残存するSiO<sub>2</sub>を除去する必要がある。

【0125】そこで、エピタキシャル成長前に希フッ酸等によるエッチングによるなどして予めソース・ドレイン上のSiO<sub>2</sub>を除去しておく。

【0126】希フッ酸等によるウエット処理のような等方性エッチングでは、ソース・ドレイン上の自然酸化膜だけではなくSiNゲート側壁26の底部の酸化膜もエッチングされる。(図7 (b))

上記実施例では、{100}基板を用いた場合の{311}ファセットの生成を抑えるために、図1で定義したθを

23.5°とすればよい。

【0127】図1で定義したyは、本実施例のSiO<sub>2</sub>ライナー25の厚さに相当する。従って、SiO<sub>2</sub>ライナー25の厚さ10nmに対して横方向エッチング量xは、10/x<tan25.3より、x>21nmを満たすようにエッチングを行う。

【0128】引き続き気相選択エピタキシャル成長法により、ソース・ドレイン領域に選択的に50nm程度のエピタキシャルSi層を形成する。図7 (c) で示す本実施例では、SiH<sub>2</sub>Cl<sub>2</sub>/HClをH<sub>2</sub>で希釈した混合ガスを用い、10Torr台の低圧雰囲気中でエピタキシャル成長を行う場合について記述するが、SiH<sub>4</sub>等を用いた場合でも本発明を有効に適用することが可能である。

【0129】エピタキシャルSiの膜厚が10nm未満の成長の初期段階ではエピタキシャルSi膜は、SiO<sub>2</sub>ライナー25と接するため、{311}面のファセット28が生じるが、膜厚10nm未満を超える時点での成長の初期段階ではファセット28は、SiNゲート側壁26の底部に隠れるため、SiNゲート側壁26に接した部分のエピタキシャルSiは、10nm以上の膜厚を有するときファセット28が生じることはない。

【0130】続いて、例えばBF<sub>2</sub>ガスを用いて40keV、3x10<sup>15</sup> cm<sup>-2</sup>程度のBのイオン注入をダミーゲート24及びSiN側壁26をマスクとして低抵抗化するためにエピタキシャルSi膜27部分に行い、イオン注入後にアニールを行い、高濃度拡散層としてソース拡散層及びドレイン拡散層をシリコン基板上に形成する。

【0131】尚、ソース・ドレイン拡散層部分を低抵抗化するために、エピタキシャルSi部分上面にシリサイドを形成することもできる。この場合、拡散層のイオン注入の前にシリサイド形成工程があってもよい。

【0132】本発明によりファセットのないエピタキシャルSi膜をソース・ドレイン上に選択的に形成してあるため、SiN側壁26とエピタキシャルSi膜27との間の基板に、より深いイオン注入が入ることがないので異常拡散が起こることはなく、接合リークや、ソース・ドレイン間の耐圧劣化等の少ない良好な特性を得ることが可能となる。この後は、図8 (d) に示すように、全面に例えばTEOS等の層間絶縁膜29を堆積させた後、CMPなどで層間絶縁膜29を平坦化させるとともにダミーゲート24上の上面のシリコン窒化膜を露出させる。

【0133】次いで、図8 (e) に示すように熱りん酸処理によりシリコン窒化膜SiN 23を除去した後、CDE (Chemical Dry Etching) によりダミーゲート24の多結晶シリコン22を除去する。

【0134】ダミーゲート24を除去した溝部分において、バッファとして形成したシリコン酸化膜21を希フッ酸処理を用いて除去することでシリコン基板表面を露出させる。

【0135】このときの前記SiN側壁26下底の部分的

拡大図を図 9 (g) に示す。次に図 8 (f) に示すようにシリコン基板表面を酸化させるか、又は、絶縁膜（例えば酸化タンタル）を堆積させることによってゲート絶縁膜 31 を形成する。

【0136】場合によってシリコン基板との間に例えば窒化層等の界面層 30 を形成してもよい。このときの前記ゲート絶縁膜 31 及び前記SiN側壁 26 の下底の部分拡大図を図 9 (h) に示す。

【0137】図 9 (i) に示すように本実施例では、ゲート材料を金属のタングステンとすると、反応防止膜 32 として例えば窒化チタンを形成させた後、溝部分にタングステンを形成し、CMP等で平坦化することで、ゲートタングステン電極 33 を溝に埋め込む。このとき、上面は、平坦に仕上がっている。

【0138】尚、前記ゲート絶縁膜は、例えば Ta2O5 より成り、誘電率は、シリコン酸化膜より高い。

【0139】上記図 8 (d) に示した工程の後にシリコン窒化膜SiN 23 を除去する際に、前記SiN側壁 26 の上部が表面から露出し、同時にエッチング除去される場合がある。その場合は、前記SiN側壁 26 の上部にゲート電極が埋め込まれる。

【0140】しかしながら、この場合もそのエッチング深さはSiN膜の厚さ程度にとどまるので、エピタキシャルSi膜 27 に接するほどにまでエッチングされることはなく、ゲート電極により短絡されることはない。従って、ゲート・ソース間及びゲート・ドレイン間のリーク電流が増加することはない。

【0141】その後は、通常のトランジスタ形成工程に従う。つまり、層間絶縁膜を全面に堆積させ、ゲートコンタクトホールのパターニングをした後、異方性エッチングによってコンタクトホールを形成する。

【0142】反応防止層として窒化チタンを形成した後、ゲート配線となるアルミを形成する。ゲート配線をパターニングによりレジストに転写し、エッチングによりアルミを除去することによりゲート配線を完成する。

【0143】上述したダマシゲートトランジスタの製造方法を示す第 3 の実施例によれば、ソース・ドレインイオンの注入及びアニール、Siエピタキシャル成長等の 700℃程度以上の高温熱工程が終了した後にゲート絶縁膜 31 を形成することができる。

【0144】又、このゲート絶縁膜 31 の形成工程の後には、もはや 500℃以上の高温工程は、必要とされない。従って、高温工程で物性の変化が起こる、Ta2O5、BST等の高誘電体膜をゲート絶縁膜として用い、良好な特性を得ることができる。

【0145】また、上記第 3 の実施例によれば、製造されたダマシゲートトランジスタでは、前述した第 1、第 2 の実施例による製造方法により製造されたトランジスタと同様に、ソース領域及びドレイン領域であるエピタキシャルシリコン層とゲート電極との間が一部、エピ

タキシャルシリコン形成時のファセットにより空洞となっている。

【0146】このためソース・ゲート間及びソース・ドレイン間の容量を削減することができる。このとき、ライナー膜 25 の一部が前記SiN側壁 26 の下底に残っている。

【0147】本発明は、上記実施形態に限定されるものではなく、本発明の要旨を逸脱しない範囲で種々に変形して実施することができる。

【0148】例えば、層間膜及びゲート材料の平坦化にCMPを用いているが、エッチバックでも形成できる。

【0149】又、ゲート部分に関しては、CMPで平坦化を行わずにパターニングとエッチングによりゲート電極を形成してもよい。ゲート電極は、タングステンに限らず、アルミニウムや銅などの他の金属でも可能である。

【0150】又、反応防止膜としては、窒化チタンの他に、窒化タングステン、窒化タンタルでもよい。尚、電極自体が金属ではなく、リンを含んだ多結晶シリコンの場合は、反応防止膜を必要としない。ゲート絶縁膜は、酸化タンタルに限らず誘電率の高い絶縁膜であればよい。又、ダミーゲートを除去した際に、バッファ酸化膜越しにイオン注入することで局所的なしきい値調整を行うこともできる。拡散層を形成するためにイオン注入した不純物は、Bに限らずPでもよい。

【0151】P-拡散層を形成する場合は、Bや BF2等を用いることによって実現できる。

【0152】尚、それぞれのイオン種においてイオン注入条件は、異なるものである。

【0153】その他、本発明の要旨を逸脱しない範囲で、種々変形して実施できる。

【0154】

【発明の効果】以上説明したように、本発明のエレベータッドソース・ドレイン構造を有するMOSトランジスタを形成する半導体装置およびその製造方法によれば、短チャネル効果および接合リーク電流の発生が抑制される。

【0155】又、本発明のエレベータッドソース・ドレイン構造を有するダマシゲートトランジスタが形成される半導体装置及びその製造方法によれば、ソース・ゲート間及びソース・ドレイン間の容量を削減でき、更に接合リークやソース・ドレイン間の耐圧劣化の少ない良好な特性が得られる。

【図面の簡単な説明】

【図 1】本発明に係るエレベータッドソース・ドレイン構造を有するMOSトランジスタおよびその一部を拡大して示す断面図。

【図 2】本発明の第 1 の実施形態に係るエレベータッドソース・ドレイン構造を有するMOSトランジスタの製造方法を示す各工程断面図。

【図 3】図 2 に示す製造工程に続くMOSトランジスタ

の製造方法を示す各工程断面図。

【図4】図3に示す製造工程に続くMOSトランジスタの製造方法を示す各工程断面図。

【図5】本発明の第2の実施形態に係るエレベータッドソース・ドレイン構造を有するMOSトランジスタの製造方法を示す各工程断面図。

【図6】本発明に係るエレベータッドソース・ドレイン構造を有するMOSトランジスタのエレベータッドソース膜およびドレイン膜に相当する基板上に形成された微細パターンを示す顕微鏡写真。

【図7】本発明の第3の実施形態に係るエレベータッドソース・ドレイン構造を有するMOSトランジスタの製造方法を示す各工程図を示す。

【図8】図7に示す製造工程に続くMOSトランジスタの製造方法を示す各工程図を示す。

【図9】図8に示す工程断面図の内の部分的拡大断面図及び最終工程断面図を示す。

【図10】従来のエレベータッドソース・ドレイン構造を有するMOSトランジスタの断面図を示す。

【図11】本発明の概要を説明するためのエレベータッドソース・ドレイン構造を有するMOSトランジスタの断面図。

【図12】図11に示すエレベータッドソース・ドレイ

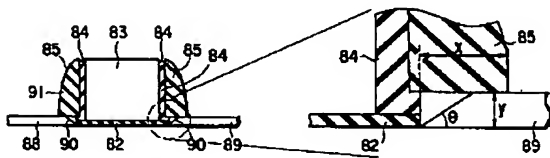
ン構造を有するMOSトランジスタのエレベータッド・ソース膜及びエレベータッド・ドレイン膜の成長過程を示す各断面図。

【図13】図12に示すエレベータッドソース・ドレイン構造を有するMOSトランジスタのエレベータッドソース膜およびドレイン膜に相当する基板上に形成された微細パターンを示す顕微鏡写真。

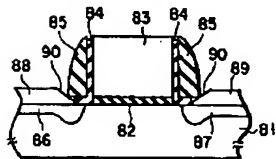
#### 【符号の説明】

- 1…シリコン基板
- 7…ゲート電極
- 10…ライナー膜
- 11…ゲート側壁絶縁膜
- 12…エピタキシャル絶縁膜
- 13…ファセット
- 16…金属シリサイド膜
- 20…シリコン基板
- 24…ダミーゲート
- 25…SiO<sub>2</sub>ライナー
- 26…SiNゲート側壁
- 27…エピタキシャルSi膜
- 28…ファセット
- 31…ゲート絶縁膜
- 32…反応防止膜

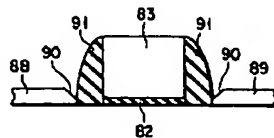
【図1】



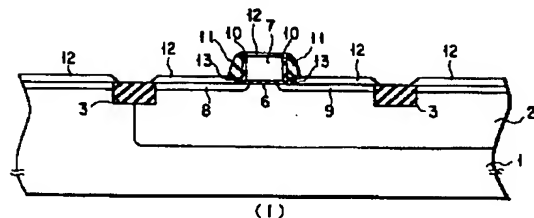
【図10】



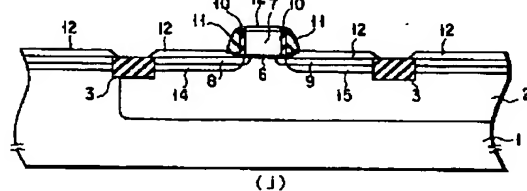
【図11】



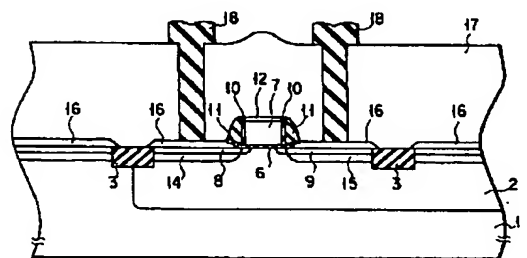
【図4】



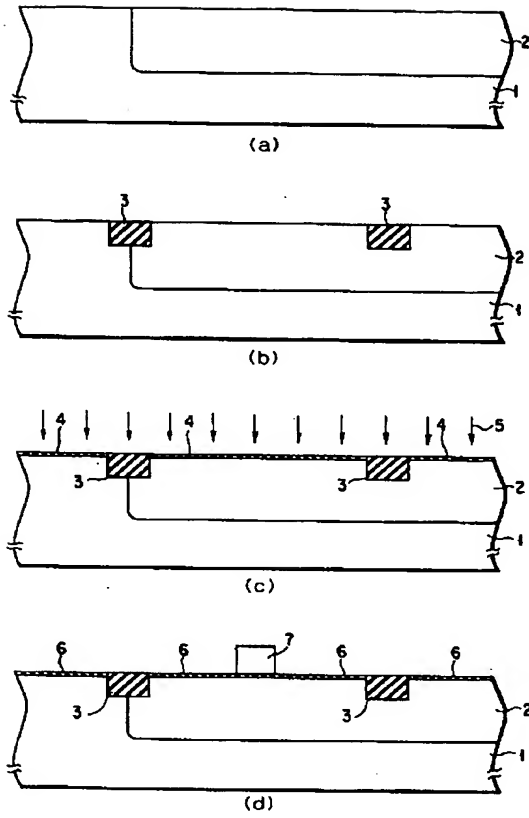
【図12】



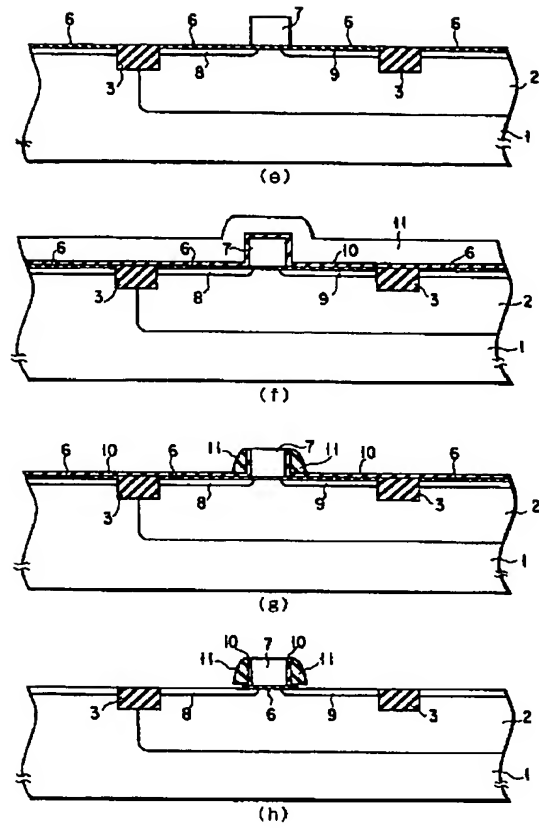
【図13】



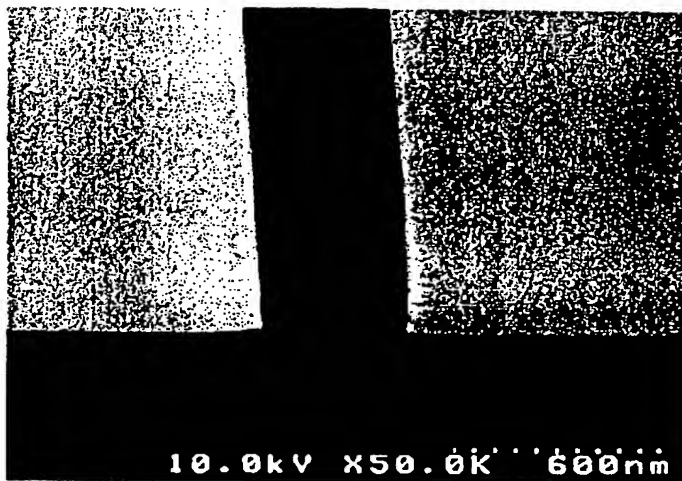
【図 2】



【図 3】

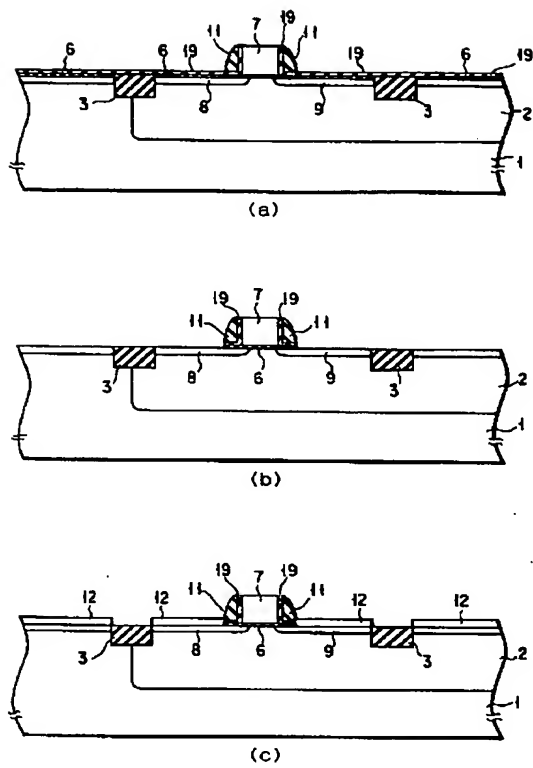


【図 6】

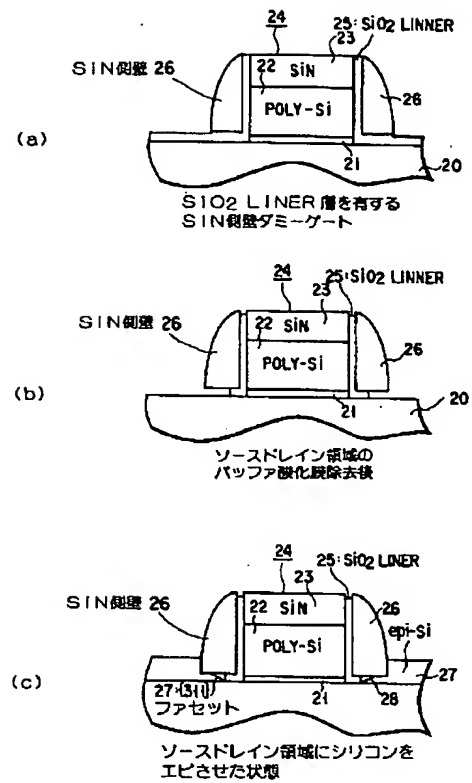




【図 5】



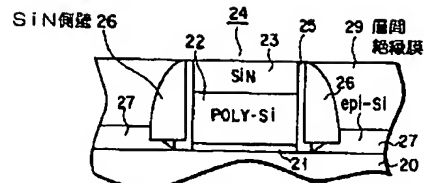
【図 7】



【図 13】

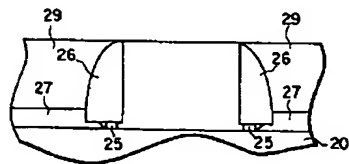


【図 8】

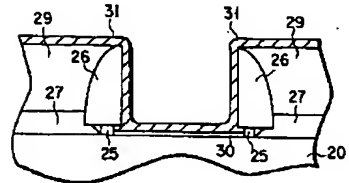


層間絶縁膜を推積したのち平坦化を行い、  
ダミーゲートの上面を露出させる。

(d)

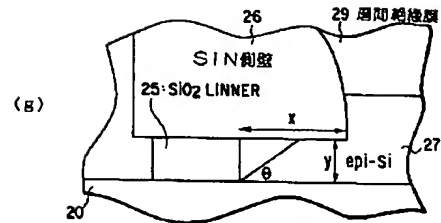


(e)

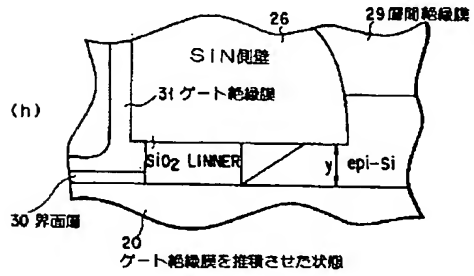


(f)

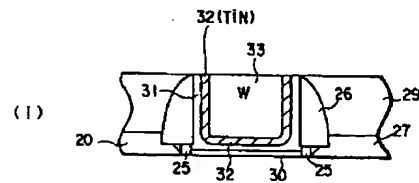
【図 9】



ダミーゲートとその下層の  
パツファ酸化膜を除去した状態

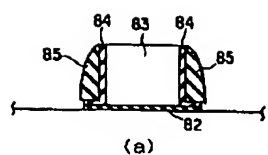


ゲート絶縁膜を推積させた状態

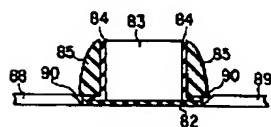


(i)

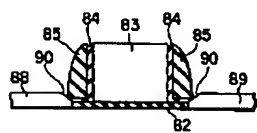
【図 12】



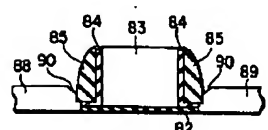
(a)



(b)



(c)



(d)

フロントページの続き

(72)発明者 綱島 祥隆

神奈川県横浜市磯子区新杉田町 8 番地 株  
式会社東芝横浜事業所内

(72)発明者 斉藤 友博

神奈川県横浜市磯子区新杉田町 8 番地 株  
式会社東芝横浜事業所内